

⑩日本国特許庁
公開特許公報

⑪特許出願公開
昭53-84658

⑬Int. Cl.²
G 06 F 15/16
G 06 F 13/00

識別記号

⑭日本分類
97(7) H 1
97(7) C 03

厅内整理番号
6619-56
6453-56

⑮公開 昭和53年(1978)7月26日
発明の数 1
審査請求 未請求

(全 6 頁)

⑯プロセッサ装置間通信処理方式

⑰特 願 昭51-159206

⑱出 願 昭51(1976)12月30日

⑲發明者 曾我健太郎

川崎市中原区上小田中1015番地
富士通株式会社内

同 小川享

川崎市中原区上小田中1015番地
富士通株式会社内

同 服部進実

⑳發明者 伊藤正明

川崎市中原区上小田中1015番地
富士通株式会社内

同 小島拓人

川崎市中原区上小田中1015番地
富士通株式会社内

㉑出願人 富士通株式会社

川崎市中原区上小田中1015番地

㉒代理人 弁理士 森田寛

明細書

1. 発明の名称 プロセッサ装置間通信処理方式

2. 特許請求の範囲

(1) マルチプロセッサ構成の情報処理システムにおいて、各プロセッサ装置が共通に脱出し・召込み可能でありかつ上記プロセッサ装置間の通信文が記込まれる共通メモリをもうけると共に、上記各プロセッサ装置内に上記共通メモリを定期的に読み出す定期脱出し起動手段をもつけ、又は上記各プロセッサ装置内に他のプロセッサ装置からの脱出し起動例込み信号によつて上記共通メモリを強制的に読み出す例込み脱出し起動手段をもうけたことを特徴とするプロセッサ装置間通信処理方式。

(2) 上記共通メモリ上に、上記各プロセッサ装置に対応してもうけられかつ上記プロセッサ装置間の通信文が記込まれる複数個のプロセッサ対応領域をもうけ、各プロセッサ装置は当該プロセッサ領域の内容を読み出すようにしたことを特徴とする

特許請求の範囲 (1) 項記載のプロセッサ装置間通信処理方式。

3. 発明の詳細な説明

本発明は、プロセッサ装置間通信処理方式、特にプロセッサ装置間の通信に当つて共通メモリをもつて伝送すべき通信文を記入しておき、各プロセッサ装置が定期的に当該共通メモリを読み出すようになると共に、障害などの緊急時に発信側プロセッサ装置が受信側プロセッサ装置に対して例込みをかけ、受信側プロセッサ装置に対して直ちに読み出し〇起動を行なわせるようにしたプロセッサ装置間通信処理方式に関するものである。

マルチプロセッサ・システムは、比較的小型のプロセッサ装置を用いて容積的に大規模のプロセッサ装置のもつ処理能力を達成できること、日々のシステム規模に自由に対応可能であること、障害などによる危険分散が可能であり信頼性が向上されることなどの利点をもつてゐる。しかし、1つの問題として各プロセッサ装置間の通信方式が

ある。

即ち、従来オ1図図示の如く、各プロセッサ装置間が共通に脱出し・印込み可能である共通メモリをもうける、いわゆる間接起動方式が知られている。オ1図において、1-0ないし1-0は夫々プロセッサ装置、2は共通メモリ、3は個別処理回路を表わしている。該オ1図に示す従来の方式の場合、各プロセッサ装置1-0ないし1-0に対応して共通メモリ(いわゆるメモリ装置あるいは一般的のレジスターで構成される)2内に、プロセッサ対応領域を用意しておく。そして通信に当つては送信側プロセッサ装置が通信文を相手プロセッサ装置に対応するプロセッサ対応領域に印込んでおき、一方受信側プロセッサ装置は定期的に自己のプロセッサ対応領域の内容を脱出するようにする。該方式の場合、回客発生時などで緊急な通信を行なう必要がある際に難点がある。

また従来オ2図図示の如く、各プロセッサ装置の間に個別の情報バスをもうけておく、いわゆる個別バスを用いた直接起動方式が知られている。

そのため、上記通信文よりもより高い優先度をもつ処理が実行されている如きの場合にも、上記受信側プロセッサ装置は当該処理を中断せしめられてしまふ。特に比較的優先度の低い通信が頻繁に発生する場合に問題がある。

更にまた従来、上記オ1図図示の方式における如く共通メモリをもうけるが各プロセッサ装置間に印込みをかける方式、即ちいわゆる共通メモリを用いた直接起動方式が知られている。該方式の改良された方式では送信側プロセッサは共通メモリ2上に通信文を印込んで受信側プロセッサに対して印込みを行なうが各CPU間には初段レベルの印込み信号が存在し、通信情報の優先度に従つて適切な印込み信号を送出する。受信側CPUでは現在処理中の処理の優先レベルに従つて受け取るべきではない印込み信号に対してはマスクをして、優先度の高い処理が優先度の低い処理により中断されるのを防ぐ。さらに送信側CPUでは、通信情報の共通メモリへの印込み時刻と同一レベルの情報が一定個数以上受信側CPUに処理され

方2図において、1-0ないし1-3は夫々プロセッサ装置、B01, B02, B03, B12, B13, B23は夫々情報バスを表わしている。該方2図に示す従来の方式の場合、送信側プロセッサ装置は通信文を情報バス上に投せると共に受信側プロセッサ装置に対して印込みをかける。

また従来オ3図図示の如く、各プロセッサ装置間の通信を行なうための共通バスをもうけておく、いわゆる共通バスを用いた直接起動方式が知られている。オ3図において、1-0ないし1-0は夫々プロセッサ装置、CBUSは共通バス、4-0ないし4-0は夫々バス印込み装置を表わしている。該オ3図に示す従来方式の場合、バス印込み装置によつて共通バスを占有せしめ、送信側プロセッサ装置は通信文を共通バス上に投せると共に受信側プロセッサ装置に対して印込みをかける。

上記オ2図およびオ3図の方式は、通信文をバス上に保持する機能が存在しないため、印込みがかけられると受信側プロセッサ装置は直ちに処理を中断して上記通信文を受取るようにされる。こ

とに特たされている場合は、より高い印込み信号を用いて受信CPUを起動する。しかし、この場合CPU間に複数の印込み用の信号線が必要になること、優先度の低い通信情報によりやはり受信側のより優先度の高い処理の中止が発生すること、あるいはCPU間通信が常に印込み信号により起動されためCPU間通信処理が複雑化する欠点があつた。

本発明は、上記の問題点を解決することを目的としており、緊急度の低い通信文は共通メモリ上に印込んでおき各プロセッサ装置が定期的に上記共通メモリを脱出するようにし、緊急度の高い通信文に限つて受信側プロセッサに対して印込みをかけるようにし、不必接な処理中止を与えることなく、緊急度の高い通信文を伝送し得るようにすることを目的としている。そしてそのため、本発明のプロセッサ装置間通信処理方式は初段のプロセッサ装置を有する情報処理システムにおいて、上記各プロセッサ装置が共通に脱出し・印込み可能でありかつ上記プロセッサ装置間の通信文が印

込まれる共通メモリをもうけると共に、上記各プロセッサ装置内に上記共通メモリを定期的に脱出す定期脱出し起動手段をもうけ、更に上記各プロセッサ装置内に他プロセッサ装置からの脱出し起動制込み信号によつて上記共通メモリを強制的に脱出す制込み脱出し起動手段をもうけたことを特徴としている。以下オ4図以降を参照しつつ説明する。

オ4図は本発明の一実施例構成を示し、オ5図は送信側プロセッサ装置による処理を表わす一実施例フロー・チャート、オ6図は受信側プロセッサ装置による処理を表わす一実施例フロー・チャートを示す。

オ4図において、1-0ないし1-0は矢印プロセッサ装置、2は共通メモリ、3は複合処理回路、5-0、5-1、……は矢印フラグ・エリアでかつて各プロセッサ装置1-0ないし1-0に対応して用意されるもの、6-0、6-1、……は矢印プロセッサ対応領域を表わしている。またBUS：ないしBUS：はメモリバス、INT：

特開昭53-84658(3)

ないしINT。は矢印脱出し起動制込み信号線を表わしている。

本発明はそれに限られるものではないが、例えばマルチプロセッサ構成のデータ交換システムの如き場合、システム内において行なわれる処理は、(1)呼処理、(2)選用処理、(3)障害処理に大別される。上記呼処理については各プロセッサ装置において負荷分担を行なつて処理が行なわれる。それに対し、上記選用処理や各プロセッサで共通に使用される如き共通装置の上記障害処理については、マン・マシン・インターフェース上またはシステムの管理上、特定のプロセッサ装置例えばオ4図図示#0プロセッサ装置1-0によつて一元管理される。そして他のプロセッサ装置1-1ないし1-0は、上記#0プロセッサ装置1-0との間で通信文を送受しつつ当該処理を行なう。

ちなみに、上記呼処理においては、各プロセッサ装置間で「トランザクション」の受発しを行なう。また選用処理においては、(1) #1ないし#0プロセッサから#0プロセッサに対して行なわれ

る「就時情報」の送信、(2) #1ないし#0プロセッサから#0プロセッサに対して行なわれる「認金情報」の送信、(3) #0プロセッサ装置から#1ないし#0プロセッサ装置に対して行なわれる「加入者データ、局データ」の変更通知などが行なわれる。更に障害処理においては、#0プロセッサから#1ないし#0プロセッサに対して行なわれる「呼処理や選用処理などの中断要求およびその後の処理指示」の送信が行なわれる。

上記「就時情報」や「認金情報」の伝送処理についてはそれ程緊急度が要求されるものではなく、上記「トランザクション」の受発しや上記「加入者データ、局データ」の送信処理などについては多少緊急度が要求される程度であり、更に上記「呼処理や選用処理などの中断要求およびその後の処理指示」はさわめて高い緊急度が要求される。

上記以後の中断要求および指示は、例えば次の如きものと考へてよい。即ち、図示#1ないし#0プロセッサ装置1-1ないし1-0において共

通装置の障害を校出した場合、#1ないし#0プロセッサ装置は直ちにこの旨を#0プロセッサ装置に通知して、該#0プロセッサ装置がしかるべき障害処理を行なうよう要求する必要がある。更に#0プロセッサ装置が、自ら共通装置の障害を校出した場合、あるいは#1ないし#0プロセッサ装置からの上記障害処理要求を受けた場合、現在の処理を中断し直ちに障害処理を実行しなければならない。また該処理を実行する際に、他のプロセッサ装置即ち1-1ないし1-0が当該障害装置に対してアクセスするのを防ぐべくアクセス禁止を指示する必要がある。更にまた#0プロセッサ装置において、障害装置に対する現用・予備の切替や装置の閉塞を行なつた場合、このことを最高の緊急度をもつて#1ないし#0プロセッサ装置に通知し、#1ないし#0プロセッサ装置に対して厳しく処理を再開せしめる必要がある。

上述の如く、プロセッサ間の通信文には矢印脱先端をもつていてことから、本発明の場合上記「呼処理や選用処理などの中断要求およびその後

の処理指示」についてのみ例込みによって送信文を強制的に受取らせ、他については各プロセッサ装置が自己のプログラムによって定期的に送信文を受取るようになる。

即ち、送信側プロセッサ装置例えば1-0は、方5図を参照すると明確な如く、次の処理を行なう。

- 1) 相手プロセッサ装置例えば1-1に対応したフラグ・エリア5-1中のロック情報をオール「1」として、他プロセッサ装置からのアクセスを禁止する。
- 2) 上記処理1)以前において既にロック情報にオール「1」が立てられていた即ちアクセス禁止されていた場合、所定の遅延時間を持つて再び送信プログラム開始に入る。
- 3) 上記処理1)以前にロックされていない場合、上記フラグ・エリア5-1の内容を読み出す。
- 4) そしてその時点においてどの送信文が読み込まれているかを指示する図示「個数」情報をもとづいて、詳しく送信文を読み込むべきアドレス

に、フラグ・エリア5-1中のロック情報をオール「1」として他プロセッサ装置からのアクセスを禁止する。

- 5) これに伴なつて、上記処理2)または処理3)を行なう。
- 6) 該フラグ・エリア5-1中の「有無」情報を調べ、もしも「無」であれば、直ちに上記処理1)において行なつたロックを解除する。
- 7) 「有無」情報が「有」であれば、アドレスを算出する。
- 8) 次いでプロセッサ対応領域6-1の内容を読み出す。
- 9) もしも未だ送信文が残っている場合、再びアドレスを算出して、次の送信文を読み出す。
- 10) すべての送信文が読み出されると、フラグ・エリア5-1の内容「有無」や「個数」をリセットする。
- 11) そして上記ロック情報を解除する。

換言すると、高い緊急度をもつ送信文については、例込みによつて受信側プロセッサ装置に対し

を算出する。

- 12) そして当該アドレス内に送信文が読み込まれる。即ちプロセッサ対応領域6-1内に読み込まれる。
- 13) ついで上記フラグ・エリア5-1内の内容「有無」や「個数」を更新する(なお「有無」情報は送信文の有無を指示するものである)。
- 14) そして上記ロック情報を解除する。
- 15) 読み込んだ送信文が高い緊急度をもたない場合、上記処理7)によつて送信プログラムは終了する。
- 16) しかし、高い緊急度をもつている場合、送信側プロセッサ装置1-0は受信側プロセッサ装置1-1に対して、読み出し成功用送信符号INT1を介して、読み込みをかける。
- 17) 受信側プロセッサ装置例えば1-1においては、方6図を参照すると明確な如く、次の処理を行なう。
- 18) 上記処理17)による例込みがかけられた場合には直ちに、またそれ以外においてはプロセッサ装置1-1内のプログラムにしたがつて定期的

て強制的な読み出しを行なわせ、それ以外の送信文については受信側プロセッサ装置が定期的に即ち自己のプログラムにしたがつて読み出しを行なうまで待つようとする。

以上説明した如く、本発明においては、受信側プロセッサ装置が自己の処理を中断されるのは上記例込みがかけられたときだけであり、不必要に処理が中断されることはない。また共通メモリ2をもうけるので、発信側プロセッサは送信文を送信メモリ2内に読み込むだけで次の処理に入つてゆくことが可能となる。また本実施例は、送信文の優先度を区別せず一括共通メモリ上の受信プロセッサ対応エリアに読み込む例を示したが、優先度に応じてつまり、受信側プロセッサを読みにより起動するか否かにより共通メモリ上の受信プロセッサ対応の読み込みエリアを分けることも可能であり、この場合も本発明に含まれる。

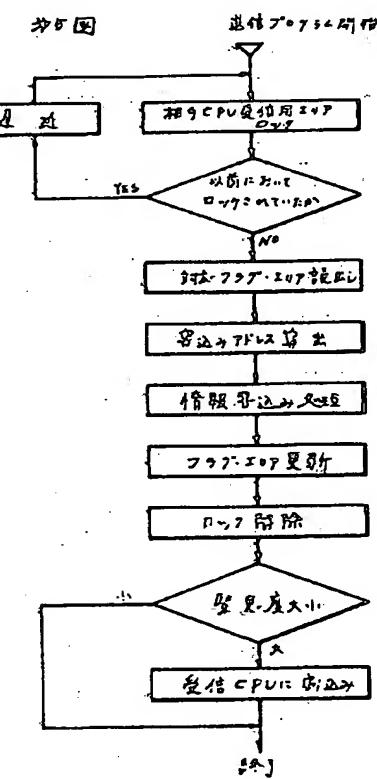
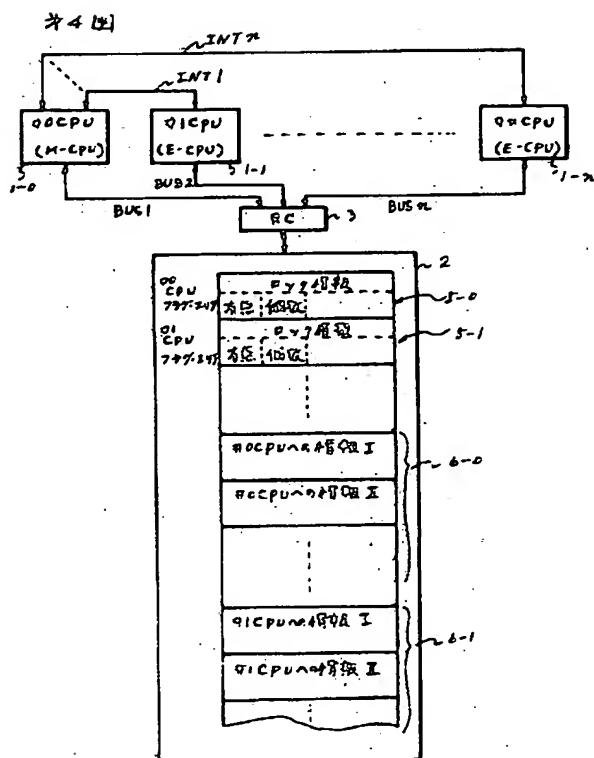
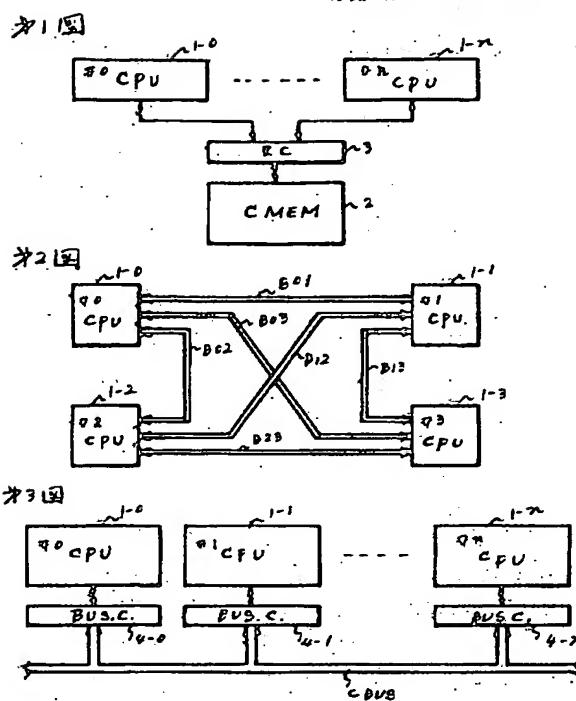
4. 図面の簡単な説明

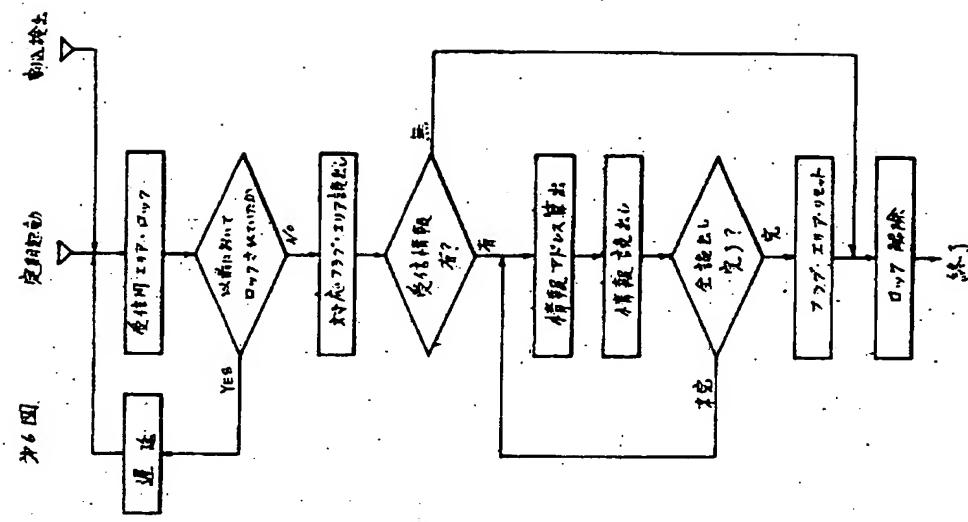
方1図ないし方3図は夫々従来公知のプロセッ

各図は間隔倍処理方式を説明する説明図、第4図は本発明の一実施例構成、第5図は送信側プロセッサ基板による処理を表わす一実施例フロー・チャート、第6図は受信側プロセッサ基板による処理を表わす一実施例フロー・チャートを示す。

図中1-0ないし1-10は矢印プロセッサ基板、2は共通メモリ、5-0、5-1、……は矢印フラグ・エリア、6-0、6-1、……は矢印プロセッサ対応領域、BUS1ないしBUSnはメモリバス、INT1ないしINTnは矢印脱出し延助側込み信号線を表わす。

特許出願人：富士通株式会社
代理人弁護士：森田一見





**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.